

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-288977
(43)Date of publication of application : 19. 10. 1999

(51) Int. Cl. H01L 21/60
H01L 21/60
H01L 23/12
H01L 23/52
H01L 25/065
H01L 25/07
H01L 25/18

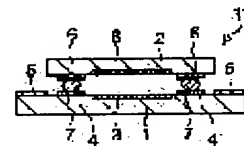
(21)Application number : 10-104132 (71)Applicant : NIPPON STEEL CORP
NIPPON FOUNDRY INC
UNITED MEMORIES INC
(22)Date of filing : 31. 03. 1998 (72)Inventor : TATSUMI KOHEI
FUJIWARA YUICHIRO
SHIMOKAWA KENJI
KAWAKAMI YOJI
BATLER DAUGLAS

(54) SEMICONDUCTOR DEVICE WITH PLURAL CHIP MOUNTED MIXEDLY

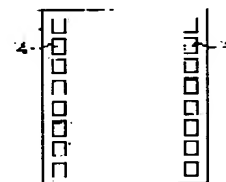
(57) Abstract:

PROBLEM TO BE SOLVED: To constitute a plurality of LSIs having different functions into one packaging structure without spending the cost and the time for the development of process, maintenance of a design environment and the like and moreover, so as to realize miniaturization which is smaller than that of the LSIs, when the LSTs are arranged two-dimensionally and a reduction shorter than that in a wiring length in the case.

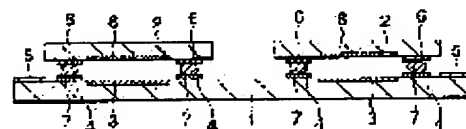
SOLUTION: A semiconductor chip 1 (logic LSI) mounted with integrated circuits having different functions and semiconductor chips 2 (memory LSIs of DRAMs or the like) are connected with each other through metal balls 7 via metal bumps in here, metal balls 7 consisting of a gold alloy, in such a way the connection electrodes 4 and connection electrodes 6, which consists of an aluminum alloy film, so as to face opposite to each other and a laminated chip 11 is constituted.



(a)



(b)



(c)

LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's
decision of rejection]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-288977

(43)公開日 平成11年(1999)10月19日

(51)Int.Cl. ⁶	識別記号	F I	
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S
			3 1 1 R
	3 0 1		3 0 1 A
23/12		23/12	L
23/52		23/52	C
審査請求 未請求 請求項の数19 F D (全 10 頁) 最終頁に続く			

(21)出願番号 特願平10-104132

(22)出願日 平成10年(1998)3月31日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(71)出願人 000128049

日本ファウンドリー株式会社

千葉県館山市山本1580番地

(71)出願人 396006778

ユナイテッド メモリズ, インコーポレイ
テッドアメリカ合衆国 コロラド州80918, コロ
ラドスプリングス, スート 109, 4815

リスト ドライブ

(74)代理人 弁理士 國分 孝悦

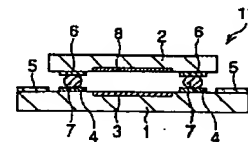
最終頁に続く

(54)【発明の名称】 複数チップ混載型半導体装置

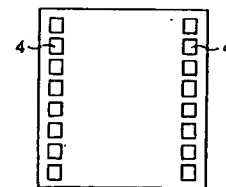
(57)【要約】

【課題】 複数の異なる機能を有するLSIを、プロセス開発や設計環境整備等の費用や時間を費やすことなく、しかも平面的に配置する場合よりも小型化及び配線長の短縮化が実現するように1パッケージ化する。

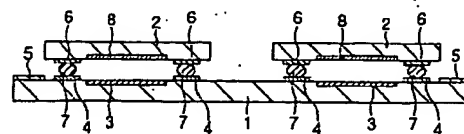
【解決手段】 相異なる機能の集積回路が搭載された半導体チップ1(ロジックLSI)と半導体チップ2(DRAM等のメモリLSI)とが、アルミニウム合金からなる接続電極4と接続電極6が対向するように金属パンプ、ここでは金合金からなる金属ボール7を介して当該金属ボール7により接続されて積層チップ11が構成される。



(a)



(b)



(c)

【特許請求の範囲】

【請求項1】 第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、

各々が同一又は異なる第2の集積回路及び第2の接続電極を備えた少なくとも1つの第2の半導体チップとを備え、

前記第1の半導体チップの第1の接続電極と前記第2の半導体チップの第2の接続電極間に金属バンプを配置して前記第1の半導体チップと前記第2の半導体チップとを接続するとともに、

前記第1の接続電極と前記金属バンプ間又は前記第2の接続電極と前記金属バンプ間の少なくとも一方が、前記第1又は第2の接続電極と前記金属バンプの表面材料との親和性を改善する材料で形成された層を介して接続されていることを特徴とする複数チップ混載型半導体装置。

【請求項2】 前記第1の接続電極と前記第2の接続電極の少なくとも一方の表面が前記金属バンプの表面材料と親和性の高い材料で形成されていることを特徴とする請求項1に記載の複数チップ混載型半導体装置。

【請求項3】 前記第1の半導体チップは、外部の端子と接続するための外部接続電極を有していることを特徴とする請求項1又は2に記載の複数チップ混載型半導体装置。

【請求項4】 プリント基板、テープ基板、セラミクス基板及びリードフレームから選ばれた1種の固定手段上に前記第1の半導体チップの裏面が固定され、前記第1の半導体チップの前記外部接続電極と前記固定手段とがボンディングワイヤにより接続されていることを特徴とする請求項3に記載の複数チップ混載型半導体装置。

【請求項5】 前記第1の半導体チップの前記外部接続電極上に他の金属バンプが設けられていることを特徴とする請求項3に記載の複数チップ混載型半導体装置。

【請求項6】 前記第1の半導体チップと前記第2の半導体チップとの間の隙間が、絶縁樹脂、絶縁テープ、絶縁性粒子が混入された樹脂及び絶縁性粒子が混入されたテープから選ばれた1種により埋め込まれていることを特徴とする請求項1～5のいずれか1項に記載の複数チップ混載型半導体装置。

【請求項7】 前記第1の半導体チップ及び前記第2の半導体チップの一部又は全部がモールド絶縁樹脂で覆われていることを特徴とする請求項1～6のいずれか1項に記載の複数チップ混載型半導体装置。

【請求項8】 前記第1の半導体チップ及び前記第2の半導体チップの一部又は全部がモールド絶縁樹脂で覆われており、前記第1の半導体チップの前記外部接続電極上に設けられた前記他の金属バンプの一部が、前記モールド絶縁樹脂の表面から露出していることを特徴とする請求項5又は6に記載の複数チップ混載型半導体装置。

【請求項9】 前記金属バンプ及び／又は前記他の金属バンプは、その融点が300℃以上の金属又は合金からなり、前記第1及び第2の接続電極の少なくとも一方は前記外部接続電極と熱圧着接合されていることを特徴とする請求項1～8のいずれか1項に記載の複数チップ混載型半導体装置。

【請求項10】 前記金属バンプ及び／又は前記他の金属バンプは、金、金合金、銅、銅合金、錫及び錫合金から選ばれた1種からなるスタッドバンプであることを特徴とする請求項1～8のいずれか1項に記載の複数チップ混載型半導体装置。

【請求項11】 前記金属バンプ及び／又は前記他の金属バンプは、直径0.8mm以下の金属ボールを前記第1及び第2の接続電極及び／又は前記外部接続電極に接合することで形成されるものであることを特徴とする請求項1～10のいずれか1項に記載の複数チップ混載型半導体装置。

【請求項12】 前記金属バンプ及び／又は前記他の金属バンプは、直径20μm～250μmの金属ボールであることを特徴とする請求項1～10のいずれか1項に記載の複数チップ混載型半導体装置。

【請求項13】 前記第1及び第2の接続電極及び／又は前記外部接続電極は、その表面に少なくとも1層の金属膜が形成されており、前記金属膜を介して前記金属バンプと接続されていることを特徴とする請求項1～12のいずれか1項に記載の複数チップ混載型半導体装置。

【請求項14】 前記第1の半導体チップがロジックチップであり、前記第2の半導体チップがメモリチップであることを特徴とする請求項1～13のいずれか1項に記載の複数チップ混載型半導体装置。

【請求項15】 前記第1及び第2の半導体チップが各々異なる機能のメモリチップであることを特徴とする請求項1～13のいずれか1項に記載の複数チップ混載型半導体装置。

【請求項16】 前記第1及び第2の半導体チップがインナーリードにより支持されてリードフレーム又はTABテープに固定されており、前記インナーリードが前記第1及び第2の半導体チップを接続する前記各金属バンプにより挟持され接続されていることを特徴とする請求項1～15のいずれか1項に記載の半導体装置。

【請求項17】 各々が第3の集積回路及び第3の接続電極を備えた少なくとも1つの第3の半導体チップを更に備え、

前記第2の半導体チップと前記第3の半導体チップとが裏面同士で接着固定されていることを特徴とする請求項1～4、9～16のいずれか1項に記載の半導体装置。

【請求項18】 第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、

50 各々が同一又は異なる第2の集積回路及び第2の接続電

極を備えた少なくとも 1 つの第 2 の半導体チップとを備え、

前記第 1 の半導体チップと前記第 2 の半導体チップとが、各々の前記第 1 及び第 2 の接続電極で当該第 1 及び第 2 の接続電極の材料と親和性のある少なくとも 1 種類の金属バンプを介して対向し、当該金属バンプにより接続されていることを特徴とする複数チップ混載型半導体装置。

【請求項 19】 第 1 の集積回路及び第 1 の接続電極を備えた第 1 の半導体チップと、

各々が同一又は異なる第 2 の集積回路及び第 2 の接続電極を備えた少なくとも 1 つの第 2 の半導体チップとを備え、

前記第 1 の半導体チップと前記第 2 の半導体チップとが、各々の前記第 1 及び第 2 の接続電極で当該第 1 及び第 2 の接続電極の材料と親和性のある少なくとも 1 種類の金属導電体を介して対向し、当該金属導電体により接続されていることを特徴とする複数チップ混載型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の半導体チップが混載されてパッケージングされてなる複数チップ混載型半導体装置に関する。

【0002】

【従来の技術】近年、大規模集積回路（LSI）の応用範囲が急速に拡大化し、且つ各応用製品に搭載される LSI の数量も急速に拡大化している。通常、LSI は、各応用製品の内部に組み込まれている基板（或いはボード）に搭載されており、同一基板上に複数の LSI が使用され、且つ当該基板上の配線によって電気的に接続されている。

【0003】ところが、LSI の高集積化が進み、基板上に搭載される LSI の数量が多くなるにつれて、LSI 自体の小型化を促進しても、結局基板全体としての面積は増大化し、また配線長も増大化することになる。

【0004】そこで、多数の LSI を搭載した基板の総面積を縮小し、且つ複数の LSI 間の配線長を短縮する技術として注目されているものに、いわゆるエンベッデッド化技術がある。このエンベッデッド化技術とは、異なる機能を有する複数の LSI を同一チップ内に作り込む技術である。例えば、ダイナミック・ランダム・アクセス・メモリ（DRAM）とロジック LSI 等の DRAM 以外の LSI とを同一プロセスで同一基板上に作り込み、1 チップ化したものはエンベッデッド DRAM と称されており、また、マイクロコンピュータ、DRAM、リード・オンリー・メモリ（ROM）等を組み込み、1 チップでシステムとして機能するように作り込まれた LSI はシステム LSI と称される。

【0005】しかしながら、エンベッデッド化技術を実現

するには、通常は異なるウェハプロセスで製造される異種機能部分を同一のプロセスで製造する必要があり、そのためのプロセスを合わせ混み、或いは新たなエンベッデッド化専用のプロセス開発が必要となる。新規にプロセスを開発する場合には、更に、当該新規プロセスを基礎としたライブラリーの構築など、設計関連の環境整備も必要となる。従って、エンベッデッド化技術を新規に立ち上げる場合、新規プロセス開発や設計環境整備のための費用と時間が必要となり、製造コストの増加や市場投入の遅れといった問題が生じる。

【0006】複数 LSI を搭載した基板の総面積を縮小し、且つ複数 LSI 間の配線長を短縮する技術として、エンベッデッド化技術が案出される以前から、マルチ・チップ・モジュール（MCM）技術が広く実用化されてきた。この MCM 技術は、複数のベアチップが一つの基板上に搭載され、その基板毎に 1 パッケージ化されたものである。

【0007】MCM 技術においては、用いられる LSI はそれぞれ別々に製造することが可能であるため、エンベッデッド化技術とは異なり、プロセスの合わせ混みや新たなプロセス開発を行う必要がなく、従って、それに伴うコストの増加や市場投入の遅れといった問題は生じない。

【0008】しかしながら、この MCM 技術では、複数のベアチップが平面的に配置されているため、総面積の増加要因となる。この場合、各チップ毎にパッケージングするよりは有利である反面、エンベッデッド化技術に比して小型化効果は減少することになる。

【0009】なお、リードフレームに搭載された複数の半導体チップについて、インダクタンスを低減させることを目的とした発明の一例が、特開平 6 - 1 2 0 4 1 5 号公報に開示されている。

【0010】

【発明が解決しようとする課題】上述のように、エンベッデッド化技術及び MCM 技術には、それぞれ一長一短があり、両者の利点のみを有する半導体装置、即ち複数 LSI の総面積の縮小化や複数 LSI の配線長の短縮化を実現するとともに、プロセスの合わせ混み、プロセス開発に伴うコストの増加や市場投入の遅れ等の問題を生ぜしめることのない半導体装置の開発が待たれている現状にある。

【0011】そこで本発明は、このような問題を解決するために成されたものであり、複数の異なる機能を有する LSI を、プロセス開発や設計環境整備等の費用や時間を費やすことなく、しかも平面的に配置する場合よりも小型化及び配線長の短縮化が実現するように 1 パッケージ化することを可能とする複数チップ混載型半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の複数チップ混載

10

20

30

40

50

型半導体装置は、第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、各々が第2の集積回路及び第2の接続電極を備えた少なくとも1つの第2の半導体チップとを備え、前記第1の半導体チップの第1の接続電極と前記第2の半導体チップの第2の接続電極間に金属バンプを配置して前記第1の半導体チップと前記第2の半導体チップとを接続するとともに、前記第1の接続電極と前記金属バンプ間又は前記第2の接続電極と前記金属バンプ間の少なくとも一方が、前記第1又は第2の接続電極と前記金属バンプの表面材料との親和性を改善する材料で形成された層を介して接続されている。

【0013】本発明の一態様例においては、前記第1の接続電極と前記第2の接続電極の少なくとも一方の表面が前記金属バンプの表面材料と親和性の高い材料で形成されている。

【0014】本発明の一態様例においては、前記第1の半導体チップは、外部の端子と接続するための外部接続電極を有している。

【0015】本発明の一態様例においては、プリント基板、テープ基板、セラミクス基板及びリードフレームから選ばれた1種の固定手段上に前記第1の半導体チップの裏面が固定され、前記第1の半導体チップの前記外部接続電極と前記固定手段とがボンディングワイヤにより接続されている。

【0016】本発明の一態様例においては、前記第1の半導体チップの前記外部接続電極上に他の金属バンプが設けられている。

【0017】本発明の一態様例においては、前記第1の半導体チップと前記第2の半導体チップとの間の隙間が、絶縁樹脂、絶縁テープ、絶縁性粒子が混入された樹脂及び絶縁性粒子が混入されたテープから選ばれた1種により埋め込まれている。

【0018】本発明の一態様例においては、前記第1の半導体チップ及び前記第2の半導体チップの一部又は全部がモールド絶縁樹脂で覆われている。

【0019】本発明の一態様例においては、前記第1の半導体チップ及び前記第2の半導体チップの一部又は全部がモールド絶縁樹脂で覆われており、前記第1の半導体チップの前記外部接続電極上に設けられた前記他の金属バンプの一部が、前記モールド絶縁樹脂の表面から露出している。

【0020】本発明の一態様例においては、前記金属バンプ及び／又は前記他の金属バンプは、その融点が300℃以上の金属又は合金からなり、前記第1及び第2の接続電極の少なくとも一方は前記外部接続電極と熱圧着接合されている。

【0021】本発明の一態様例においては、前記金属バンプ及び／又は前記他の金属バンプは、金、金合金、銅、銅合金、錫及び錫合金から選ばれた1種からなるスタッドバンプである。

【0022】本発明の一態様例においては、前記金属バンプ及び／又は前記他の金属バンプは、直径0.8mm以下の金属ボールを前記第1及び第2の接続電極及び／又は前記外部接続電極に接合することで形成される。

【0023】本発明の一態様例においては、前記金属バンプ及び／又は前記他の金属バンプは、直径20μm～250μmの金属ボールである。

【0024】本発明の一態様例においては、前記第1及び第2の接続電極及び／又は前記外部接続電極は、その表面に少なくとも1層の金属膜が形成されており、前記金属膜を介して前記金属バンプと接続されている。

【0025】本発明の一態様例においては、前記第1の半導体チップがロジックチップであり、前記第2の半導体チップがメモリチップである。

【0026】本発明の一態様例においては、前記第1及び第2の半導体チップが各々異なる構成及び機能のメモリチップである。

【0027】本発明の一態様例においては、前記第1及び第2の半導体チップがインナーリードにより支持されてリードフレーム又はTABテープに固定されており、前記インナーリードが前記第1及び第2の半導体チップを接続する前記各金属バンプに挟持され接続されている。

【0028】本発明の一態様例は、各々が第3の集積回路及び第3の接続電極を備えた少なくとも1つの第3の半導体チップを更に備え、前記第2の半導体チップと前記第3の半導体チップとが裏面同士で接着固定されている。

【0029】本発明の複数チップ混載型半導体装置は、第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、各々が第2の集積回路及び第2の接続電極を備えた少なくとも1つの第2の半導体チップとを備え、前記第1の半導体チップと前記第2の半導体チップとが、各々の前記第1及び第2の接続電極で当該第1及び第2の接続電極の材料と親和性のある少なくとも1種類の金属バンプを介して対向し、当該金属バンプにより接続されている。

【0030】本発明の複数チップ混載型半導体装置は、第1の集積回路及び第1の接続電極を備えた第1の半導体チップと、各々が第2の集積回路及び第2の接続電極を備えた少なくとも1つの第2の半導体チップとを備え、前記第1の半導体チップと前記第2の半導体チップとが、各々の前記第1及び第2の接続電極で当該第1及び第2の接続電極の材料と親和性のある少なくとも1種類の金属導電体を介して対向し、当該金属導電体により接続されている。

【0031】

【作用】本発明の複数チップ混載型半導体装置は、それぞれ独立の集積回路が形成されてなる第1及び少なくとも1つの第2の半導体チップを備えており（ここで、各

10

20

30

40

50

第2の半導体チップの集積回路は同一の場合もあれば異なる場合もある。)、第1の半導体チップ上に少なくとも1つの第2の半導体チップが積層されて構成されている。従って、複数のチップを例えば基板上に平面的に配置する場合に比べて、占有する平面積が格段に縮小される。ここで、第1及び第2の半導体チップは、各々の表面の所定位置に設けられた接続電極同士を対向させるように位置付けられて金属バンプによって接続される。このとき、第1の接続電極と金属バンプ間又は第2の接続電極と金属バンプ間の少なくとも一方が、接続電極と金属バンプの表面材料との親和性を改善する材料で形成された層を介して接続される。

【0032】この層は、例えば、接続電極の表面に金属バンプの表面材料と親和性の高い金属を蒸着等することにより皮膜を形成する等の手法で実現できる。また、金属バンプに接続電極の表面材料と親和性の高い金属を選択することや、金属バンプの表面に接続電極の表面材料と親和性の高い金属を蒸着等することにより皮膜を形成することによっても同様の効果を得ることができる。

【0033】このように、接続電極と金属バンプの材料選択が行われるので、第1及び第2の半導体チップを金属バンプで接続する場合に接続が簡易且つ確実に行われ、諸々の機能を持つ各半導体チップの1チップ化が可能となるとともに、更なる小型化が容易に実現する。

【0034】

【発明の実施の形態】以下、本発明を適用したいくつかの好適な実施形態を図面を用いて詳細に説明する。

【0035】(第1の実施形態) 先ず、第1の実施形態について説明する。図1は、第1の実施形態の半導体装置の主要部分を示す断面図である。この半導体装置は、図1(a)に示すように、半導体チップ1と半導体チップ2とが互いに表面を対向させ積層チップ11とされるものである。

【0036】半導体チップ1は、サイズが9mm×9mmであり、その表面にロジック回路3が形成されてなるロジックLSIであり、半導体チップ2と接続するための接続電極4を備えている。当該接続電極4は、半導体チップ1の対向する2辺に沿って各々所定間隔をもって並列している。更に、半導体チップ1の表面には、接続電極4の外方に外部と接続するための外部接続電極5が形成されている。これら接続電極4及び外部接続電極5は、共にアルミニウム合金を材料として形成されている。

【0037】半導体チップ2は、サイズが9mm×9mmであり、その表面にメモリ回路8が形成されてなるメモリLSI、例えばDRAMであり、半導体チップ1と接続するための接続電極6を半導体チップ1の接続電極4に対応する位置に備えている。接続電極6も、接続電極4と同様に、アルミニウム合金を材料として形成されている。複数の接続電極6が形成されている様子を図1

(b)に示す。なお、半導体チップ1、2の表面の電極4、5、6を除く部位には、絶縁性のパッシベーション膜(不図示)が形成されている。

【0038】そして、半導体チップ1と半導体チップ2とが、接続電極4と接続電極6が対向するように金属バンプ、ここでは金属ボール7を介して当該金属ボール7により接続されて積層チップ11が構成されている。この金属ボール7は、直径約80μmで材料が純度95%の金合金からなるものである。金(合金)は、アルミニウム(合金)との親和性に優れていることが知られており、良好な接合が得られる。

【0039】ここで、接続電極4、6と金属ボール7との接合は熱圧着により行われる。この場合、先ず金属ボール7を半導体チップ1の接続電極4に接合させた後、半導体チップ1、2の位置合わせをして金属ボール7を接続電極6と接合する。半導体チップ1への接合時には、予め接続電極4の位置に対応した部位に穴を開けた吸着配列板の裏側を真空減圧して、金属ボール7をその穴に吸着保持し、半導体チップ1に位置合わせをした後に一括接合する。このとき、接合温度を300℃とし、半導体チップ1の接続電極4に金属ボール7を接合するときの圧力を金属ボール7の1個あたり10gとし、半導体チップ2の接続電極6に接合する際には1個あたり40gとする。ここで、金属ボール7を最初に接続電極4に接合するとしたが、逆に最初に半導体チップ2の接続電極6に接合するようにしてもよい。

【0040】半導体チップ1、2を接合した際に、両者の間には例えば40μm程度の隙間が生じる。この隙間を、絶縁樹脂、絶縁テープ、絶縁性粒子が混入された樹脂及び絶縁性粒子が混入されたテープから選ばれた1種により埋め込むようにしてもよい。

【0041】ここで、製造された積層チップ11について、半導体チップ1の外部接続電極5に所定のプローブを接続して、接続電極6の隣接する1組毎の接続の優劣性を電気的に検査したところ、いずれの電極についても接続不良は観察されず、極めて良好な接続状態であることが分かった。

【0042】なお、アルミニウム合金を接続電極の材料として用い、それと親和性に優れた金合金を金属ボールの材料に用いたが、この組み合わせに限定されることはない。例えば、接続電極の材料がアルミニウム(合金)である場合には、金属ボールの材料は金(合金)の他に銅(合金)やパラジウム(合金)、白金(合金)、アルミニウム(合金)が好適である。また、接続電極の材料を銅(合金)としても良く、この場合には金属ボールの材料は金(合金)や銅(合金)、アルミニウム(合金)、パラジウム(合金)、白金(合金)、半田(錫合金、鉛合金、インジウム合金等)が好適である。更に、接続電極の材料を金(合金)としても良く、この場合には金属ボールの材料は金(合金)や銅(合金)、アルミ

ニウム（合金）、白金（合金）、半田（錫合金、鉛合金、インジウム合金等）が好適である。更に、接続電極の材料をパラジウム（合金）としても良く、この場合には金属ボールの材料は金（合金）や銅（合金）、アルミニウム（合金）、パラジウム（合金）、白金（合金）、半田（錫合金、鉛合金、インジウム合金等）が好適である。更に、接続電極の材料をニッケル（合金）としても良く、この場合には金属ボールの材料は金（合金）や銅（合金）、アルミニウム（合金）、パラジウム（合金）、白金（合金）、半田（錫合金、鉛合金、インジウム合金等）が好適である。更に、接続電極の材料を半田（錫合金、鉛合金、インジウム合金等）としても良く、この場合には金属ボールの材料は金（合金）や銅（合金）、アルミニウム（合金）、パラジウム（合金）、白金（合金）、半田（錫合金、鉛合金、インジウム合金等）、ニッケル（合金）が好適である。

【0043】上記のような組み合わせを選択することで、接続電極間の信頼性の高い接合が可能となる。接続電極の材料については、各々異なるものを選択しても良い。また、例えばアルミニウム（合金）と半田とは濡れ性に劣るので、半田と濡れ性の良いパラジウム合金を物理的蒸着法等により接続電極の表面に被着させて、濡れ性向上のための下地膜を形成すればよい。

【0044】更に、接続電極と金属ボールとの接合が困難であったり、或いは更に接合性を向上させたい場合には、異方性導電膜や導電ペースト等を介して両者を接続することも可能である。

【0045】更に、金属ボールの表面のみに接続電極との組み合わせで最適な金属を被着させることで、接続電極との接合性を更に向上させることも可能である。

【0046】また、半導体チップ1、2に搭載する集積回路の組み合わせとしては、上記の場合に限定されることなく、例えば相異なるメモリLSIとしてもよい。メモリLSIとしては、DRAMの他、SRAMやフラッシュメモリ等がある。SRAMとDRAMを組み合わせた場合、例えばメモリを必要とするデータ処理用LSIと併用することが考えられる。この場合、使用頻度が高く、頻繁に記憶内容を変更しながら高速で処理するデータについてはSRAMを使用し、高速性よりは大容量の記憶保持が必要なデータについてはDRAMに記憶しておくことが可能となる。

【0047】また、SRAMとフラッシュメモリを組み合わせた場合、例えばあるプログラムに従って信号を高速処理する信号処理用LSIと併用することが考えられる。この場合、プログラムをフラッシュメモリに格納しておくと、電源を切ってもプログラムは消去されないため、同じプログラム処理が可能となる。そして、その間の処理中の信号の一時的な記憶にはSRAMを使用すればよい。

【0048】更に、図1では、半導体チップ1、2に設

ける集積回路、ここではロジック回路3やメモリ回路8を接続電極4、5の直下を除く部位に形成した例を示したが、これは金合金からなる金属ボール7を用いるためであって、例えば半田からなる金属ボールを用いれば、熱圧着が不要となるため、接続電極4、5の直下にも集積回路を形成することが可能となる。

【0049】また、本実施形態で半導体チップ1に搭載する半導体チップ2は1つに限定されるものではなく、図1(c)に示すように、サイズの大きな半導体チップ1上に2つの半導体チップ2（相異なる集積回路が形成されたものでもよい。）を併設してもよい。

【0050】そして、図2に示すように、積層チップ11を基板12に搭載する。基板12の表面にはボンディングパッド13が設けられている。この基板12としては、セラミクス基板、絶縁テープ基板、リードフレーム等が考えられる。この場合、半導体チップ1の裏面を基板12の表面に接着剤等により固定し、半導体チップ1の外部接続電極5とボンディングパッド13とを金ワイヤ14を用いてワイヤボンディング法により接続する。そして、図3に示すように、エポキシ系の絶縁樹脂15により複合チップ11の全面及び基板12の一部を残した全面をモールドすることにより、本実施形態の半導体装置となる。ここで、モールド用の絶縁樹脂15中のSiO₂、粒子であるフィラーは、径の小さい20μm以下のものを使用して、半導体チップ1間の隙間（上記の如く40μm程度となる。なお、この場合には当該隙間に絶縁テープ等を埋め込む必要はない。）に十分に充填されることが確認された。

【0051】以上説明したように、第1の実施形態の半導体装置は、それぞれ独立の集積回路が形成されてなる半導体チップ1、2を備えており、半導体チップ1上に半導体チップ2が積層されて構成されている。従って、複数のチップを例えば基板上に平面的に配置する場合に比べて、占有する平面積が格段に縮小される。ここで、半導体チップ1、2は、各々の表面の所定位置に設けられた接続電極4、6同士を対向させるように、当該接続電極材料と親和性のある金属バンプ、例えば金属ボール7を介してこれにより両者が接続されている。従って、各半導体チップ1、2間の配線長は殆ど無視し得るほど短く、諸々の機能を持つ各半導体チップの1チップ化が可能となるとともに、更なる小型化が容易に実現する。

【0052】従って、第1の実施形態の半導体装置によれば、複数の異なる機能を有するLSIを、プロセス開発や設計環境整備等の費用や時間を費やすことなく、しかも平面的に配置する場合よりも小型化及び配線長の短縮化が実現するように1パッケージ化することが可能となる。

【0053】以下、第1の実施形態の半導体装置のいくつかの変形例について説明する。なお、第1の実施形態の半導体装置に対応する構成部材等については同符号を

10

20

30

40

50

記して説明を省略する。

【0054】-変形例1-

まず、変形例1の半導体装置について説明する。この半導体装置は、第1の実施形態と同様に複合チップ11が構成されるが、複合チップ11の樹脂封止法等が異なる。この半導体装置においては、図4(a)に示すように、複合チップ11の半導体チップ1、2の寸法が第1の実施形態のそれと若干異なり、半導体チップ1が12mm×12mm、半導体チップ2が5mm×5mmのサイズとされている。

【0055】半導体チップ1に形成された接続電極4及び外部接続電極5は、第1の実施形態のそれと同様にそれぞれアルミニウム合金からなるが、各々の接続電極4、5はチップ表面から外側に向かって順にクロム(Cr)、Cu(銅)、Au(金)の順に濡れ性向上のための下地膜(不図示)が形成されている。そして、接続電極4のAu面と金合金からなる金属ボール7が接合されるとともに、他方で半導体チップ2のアルミニウム合金からなる接続電極6と当該金属ボール7が接合されている。

【0056】更に、外部接続電極5には、金属ボール7より大きな直径の半田からなる金属ボール16が接合されている。ここで、金属ボール7が直径60μmであり、金属ボール16が直径500μmとされている。金属ボール7については上述のように熱圧着により接続電極4、6と接合し、金属ボール16については先ずフラックスの粘着力を利用して外部接続電極5上に固定した後、半導体チップ1を半田の融点である183℃以上に加熱し、金属ボール16を外部接続電極5にリフローにより接合する。

【0057】そして、半導体チップ1、2間を充填するとともに、図4(a)のように、金属ボール16の先端部位が露出するようにエポキシ系の絶縁樹脂15で覆う。ここで、絶縁樹脂15の表面から露出する金属ボール16が外部接続用のバンプとして機能することになる。また、半導体チップ2の裏面を露出させることにより、放熱性を向上させることができる。

【0058】なお、この変形例1では、半導体チップ1の代わりに集積回路の形成されていない基板を用いる場合にも適用可能である。また、各金属ボールの材料についても、第1の実施形態で述べたような諸々の材料を用いてもよい。

【0059】この変形例1の半導体装置によれば、既述した第1の実施形態の半導体装置の奏する作用・効果に加えて、絶縁樹脂15で封止された複合チップ11を例えば外部の基板と接続する場合に、露出した金属ボール16で接続できるため、更なる配線長の短縮化、ひいては装置全体の小型化に大幅に寄与することが可能となる。

【0060】また、図4(b)に示すように、外部接続

電極5を半導体チップ1に形成されたビア孔を介して当該半導体チップ1の裏面に形成し、この外部接続電極5に金属ボール16を接合するようにしてもよい。

【0061】-変形例2-

次に、変形例2の半導体装置について説明する。この半導体装置は、第1の実施形態と同様に複合チップ11が構成されるが、複合チップ11を搭載する基板が異なる。この半導体装置は、図5に示すように、リード・オン・チップ(LOC)方式又はTABテープで形成されるものであり、半導体チップ1の外部接続電極5とリードフレーム又はTABテープのインナーリード18が例えば半田を材料とするスタッドバンプ19により接合されている。ここで、インナーリード18はポリイミド等からなる絶縁テープ17により固定されて位置規制がなされている。

【0062】なお、図6に示すように、スタッドバンプ19の代わりに、金属ボール20を用いて接合を行うようにしても好適である。

【0063】この変形例2の半導体装置によれば、既述した第1の実施形態の半導体装置の奏する作用・効果に加えて、LOC構造とすることにより、比較的小きなパッケージに大型化した半導体チップを収納して高密度の実装を図ることが可能となる。

【0064】-変形例3-

次に、変形例3の半導体装置について説明する。この半導体装置は、第1の実施形態と同様に複合チップ11が構成されるが、更に異なる半導体チップが搭載される点で異なる。この半導体装置は、図7に示すように、半導体チップ1、2が接合されてなる複合チップ11において、半導体チップ2上に互いに裏面同士で固定されるように半導体チップ31が設けられている。

【0065】半導体チップ31は、半導体チップ1、2と同様に、その表面にロジック回路又はメモリ回路である集積回路21が形成されてなるLSIであり、外部と接続するためのアルミニウム合金を材料としたボンディングパッド22が形成されている。また、半導体チップ1の表面には、半導体チップ31の外部接続電極22と接続するためのボンディングパッド23が設けられている。

【0066】そして、半導体チップ31と半導体チップ2とが裏面同士で所定のダイペーストにより接着固定されており、半導体チップ31のボンディングパッド22と半導体チップ1のボンディングパッド23とが金ワイヤ14を用いたワイヤボンディング法により接続されている。

【0067】なお、半導体チップ1の代わりに集積回路の形成されていない基板を用いる場合にも適用可能である。また、金属ボールの材料についても、第1の実施形態で述べたような諸々の材料を用いてもよい。

【0068】この変形例3の半導体装置によれば、既述

した第1の実施形態の半導体装置の奏する作用・効果に加えて、複合チップ11上半導体チップ31を更に積層しても、小型化を損なうことなく高集積化を図ることが可能となる。

【0069】(第2の実施形態)次に、本発明の第2の実施形態について説明する。この第2の実施形態の半導体装置は、第1の実施形態のそれとほぼ同様の複合チップ11を有するが、半導体チップ1、2の接合が若干異なる。なお、第1の実施形態と同一の構成部材等については同符号を記して説明を省略する。図8は、第2の実施形態の半導体装置の主要部分を示す断面図である。なお、半導体チップ1のサイズは第1の実施形態と同様に10mm×10mmであり、半導体チップ2のサイズは7mm×7mmである。

【0070】半導体チップ2のアルミニウム合金からなる接続電極6上には、直径約60μmの金合金からなる金属ボール7が接合されている。半導体チップ1のアルミニウム合金からなる接続電極4の表面には、チタン(Ti)合金、パラジウム(Pd)の順に表面処理が施されており、最表層のパラジウム上に直径約60μmの半田からなる金属ボール32が溶融接合されている。そして、金属ボール7と金属ボール32とが位置合わせされ、250℃以上の温度で加熱しながら金属ボール7、32が接合される。

【0071】なお、接合する2種の金属ボールの材料については、金合金と半田に限定されるものではなく、親和性に優れた組み合わせであれば、例えば第1の実施形態で例示したような他の金属(合金)でもよい。

【0072】そして、図9に示すように、積層チップ11を例えばLOC構造のリードフレーム又はTABテープに搭載する。この場合、リードフレーム又はTABテープのインナーリード18と半導体チップ1の外部接続電極5とが、金合金からなる金属ボール33により接合されている。なお、金属ボール33の材料としては、金合金の他に銅(合金)や半田等を用いてもよく、更には金属ボールの代わりにスタッドバンプ又はメッキバンプを用いてもよい。

【0073】第2の実施形態の半導体装置によれば、既述した第1の実施形態の半導体装置の奏する作用・効果に加えて、半導体チップ1、2に設ける接続電極の材料に対する規制が緩和され、選択幅を拡大させることが可能となる。また、2種の金属ボールを接合に用いることで、半導体チップ1、2間の離間距離(隙間)が配線長には影響しない限度内で若干大きくなり、例えば半導体チップ1、2に熱膨張が生じても短絡等の発生が回避される。従って、製品の信頼性の向上により一層寄与することになる。

【0074】-変形例-

ここで、第2の実施形態の半導体装置の変形例について説明する。この半導体装置は、第1の実施形態と同様に

複合チップ11が構成されるが、リードフレーム又はTABテープへの搭載の仕方が異なる。なお、第2の実施形態の半導体装置に対応する構成部材等については同符号を記して説明を省略する。

【0075】この変形例の半導体装置においては、製造した複合チップ11をリードフレームに搭載するのではなく、複合チップ11の形成時に同時にインナーリード18との接続が行われる。即ち、この半導体装置においては、図10に示すように、半導体チップ1の接続電極4上の金属ボール41と、半導体チップ2の接続電極6上の金属ボール42とが、インナーリード18を介して当該インナーリード18を挟持するように溶融接合されている。なお、金属ボール41、42の材料としては、金合金や半田、又は第1の実施形態で述べた各種金属(合金)を用いることが可能である。

【0076】この変形例の半導体装置によれば、既述した第1及び第2の実施形態の半導体装置の奏する作用・効果に加えて、半導体チップ1に外部接続電極を設ける必要がないため、半導体チップ1の占有面積を縮小することが可能であり、例えば半導体チップ2と同等のサイズとすることができる。従って、半導体装置の更なる小型化に貢献することが可能となる。

【0077】

【発明の効果】本発明によれば、複数の異なる機能を有するLSIを、プロセス開発や設計環境整備等の費用や時間を費やすことなく、しかも平面的に配置する場合よりも小型化及び配線長の短縮化が実現するように1パッケージ化することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態による半導体装置の主要構成を示す模式図である。

【図2】本発明の第1の実施形態による半導体装置において、複合チップが基板に搭載された様子を示す概略断面図である。

【図3】本発明の第1の実施形態による半導体装置において、基板に搭載された複合チップがモールド樹脂によりパッケージングされた様子を示す概略断面図である。

【図4】本発明の第1の実施形態による変形例1の半導体装置の主要構成を示す概略断面図である。

【図5】本発明の第1の実施形態による変形例2の半導体装置の主要構成を示す概略断面図である。

【図6】本発明の第1の実施形態による変形例2の半導体装置の他の例の主要構成を示す概略断面図である。

【図7】本発明の第1の実施形態による変形例3の半導体装置の主要構成を示す概略断面図である。

【図8】本発明の第1の実施形態による半導体装置の主要構成を示す概略断面図である。

【図9】本発明の第2の実施形態による半導体装置において、複合チップが基板に搭載された様子を示す概略断面図である。

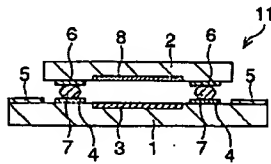
【図10】本発明の第2の実施形態による変形例の半導体装置の主要構成を示す概略断面図である。

【符号の説明】

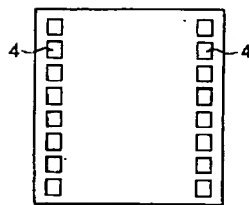
- 1, 2, 3 1 半導体チップ
3 ロジック回路
4, 6 接続端子
5 外部接続端子
7, 16, 20, 32, 33, 41, 42 金属ボール
8 メモリ回路

- * 11 積層チップ
12, 17 基板
13, 22, 23 ボンディングパッド
14 金ワイヤ
15 絶縁樹脂
17 絶縁テープ
18 インナーリード
19 スタッドバンプ
* 21 集積回路

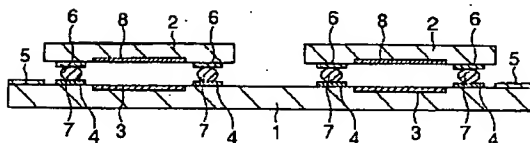
【図1】



(a)

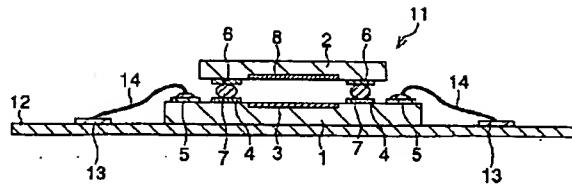


(b)

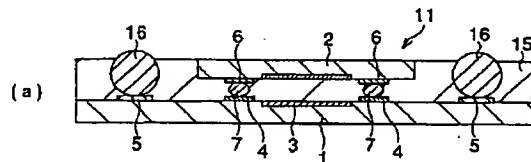


(c)

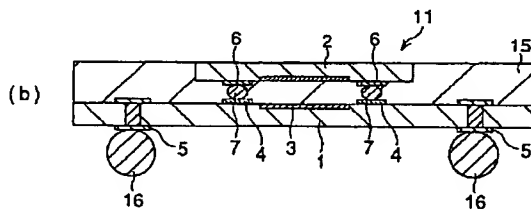
【図2】



【図4】

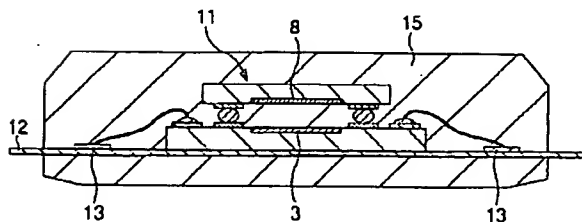


(a)

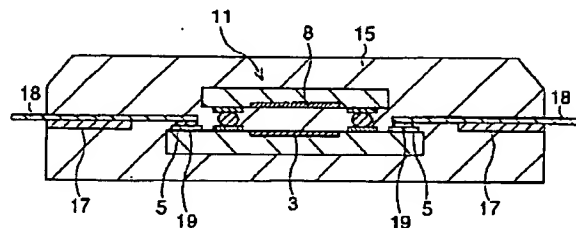


(b)

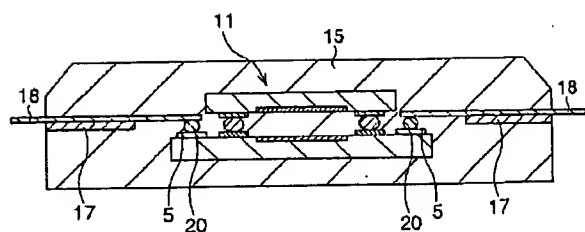
【図3】



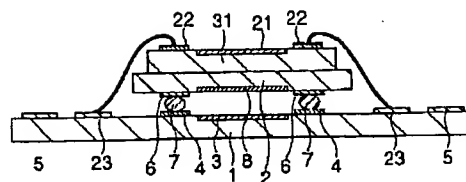
【図5】



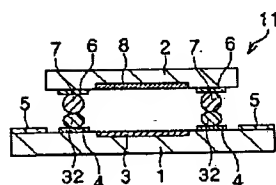
【図6】



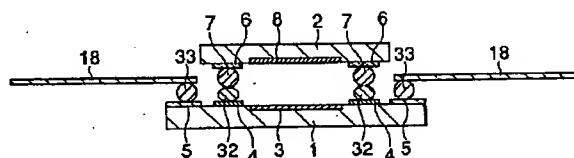
【図7】



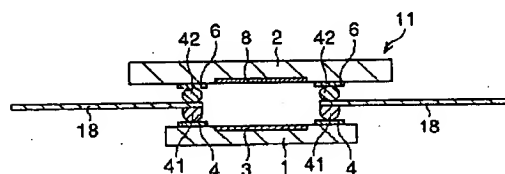
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.⁶
H01L 25/065
25/07
25/18

識別記号

F I
H01L 25/08

B

(72)発明者 巽 宏平
川崎市中原区井田3-35-1 新日本製鐵
株式会社技術開発本部内
(72)発明者 藤原 雄一郎
東京都千代田区大手町2-6-3 新日本
製鐵株式会社内
(72)発明者 下川 健二
川崎市中原区井田3-35-1 新日本製鐵
株式会社技術開発本部内

(72)発明者 川上 洋司
千葉県館山市山本1580番地 日鉄セミコン
ダクター株式会社内
(72)発明者 バトラー ダグラス
アメリカ合衆国 コロラド州 80919 コ
ロラドスプリングス スーツ109 リスト
ドライブ 4815 ユナイテッド メモリー
ズ インコーポレイテッド内